

DERWENT-ACC-NO: 1998-492315

DERWENT-WEEK: 200366

COPYRIGHT 2004 DERWENT INFORMATION LTD

TITLE: DC=DC converter for radio apparatus - has frequency
varying circuit which alters switching frequency of
transistor in proportion with size of ripple voltage
detected in output or input voltage

PATENT-ASSIGNEE: MURATA MFG CO LTD[MURA]

PRIORITY-DATA: 1997JP-0015616 (January 29, 1997)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 3444468 B2	September 8, 2003	N/A	005	H02M 003/155
JP 10215568 A	August 11, 1998	N/A	005	H02M 003/155

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 3444468B2	N/A	1997JP-0015616	January 29, 1997
JP 3444468B2	Previous Publ.	JP 10215568	N/A
JP 10215568A	N/A	1997JP-0015616	January 29, 1997

INT-CL (IPC): G01R019/252, H02M003/155 , H03F003/45

ABSTRACTED-PUB-NO: JP 10215568A

BASIC-ABSTRACT:

The converter (10) includes a transistor (Q1), a bootstrap circuit (3) which contains a diode and a capacitor, a transistor drive circuit (4), a pulse width modulation circuit (7), and an error amplifier circuit (6). An output voltage may be dropped or amplified based on an input reference voltage.

The ripple voltage of the output or input voltage is detected. A frequency varying circuit (11) changes the switching frequency of the transistor in proportion with the size of the ripple voltage.

ADVANTAGE - Stabilises input voltage and output current since transistor is driven completely. Reduces loss in switching operation since switching frequency of transistor can be lowered. Obtains constant frequency band even when noise is generated.

CHOSEN-DRAWING: Dwg.1/5

TITLE-TERMS: DC=DC CONVERTER RADIO APPARATUS FREQUENCY VARY CIRCUIT ALTER
SWITCH FREQUENCY TRANSISTOR PROPORTION SIZE RIPPLE VOLTAGE DETECT
OUTPUT INPUT VOLTAGE

DERWENT-CLASS: S01 U24

EPI-CODES: S01-D01C1B; U24-D02A; U24-G02A1;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1998-385445

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-215568

(43)公開日 平成10年(1998) 8月11日

(51)IntCl^a

H02M 3/155

識別記号

F I

H02M 3/155

H

K

S

G01R 19/252

G01R 19/252

H03F 3/45

H03F 3/45

Z

審査請求 未請求 請求項の数3 OL (全5頁)

(21)出願番号

特願平9-15816

(22)出願日

平成9年(1997) 1月29日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 田子 政成

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72)発明者 森島 靖之

京都府長岡京市天神二丁目26番10号 株式

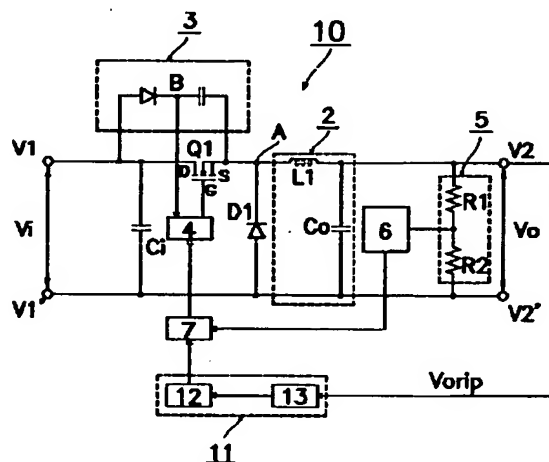
会社村田製作所内

(54)【発明の名称】 DC-DCコンバータ

(57)【要約】

【課題】 無負荷時から軽負荷時において、スイッチング素子を完全に駆動できるDC-DCコンバータを提供する。

【解決手段】 DC-DCコンバータ10は、入力端子V1、V1'と出力端子V2、V2'の間に、入力コンデンサCi、スイッチング素子、例えばN-MOSFET Q1、ダイオードD1、平滑回路2及び出力電圧検出用分圧抵抗5が挿入される。また、N-MOSFET Q1のドレインDとソースSとの間には、ブートストラップ回路3が接続され、ブートストラップ回路3を構成するダイオードDBとコンデンサCBとの接続点BとN-MOSFET Q1のゲートGとの間には、スイッチング素子ドライブ回路4が接続される。さらに、出力電圧検出用分圧抵抗5の抵抗R1とR2の接続点と、スイッチング素子ドライブ回路4との間には、誤差増幅回路6及びパルス幅変調回路7が接続される。また、出力端子V2とパルス幅変調回路7との間には、発振回路12とリップル電圧検出回路13とで構成される周波数可変回路11が接続される。



【特許請求の範囲】

【請求項1】 スイッチング素子と、ダイオード及びコンデンサからなるブートストラップ回路と、スイッチング素子ドライブ回路と、パルス幅変調回路と、誤差増幅器回路とを備え、入力電圧に比べ出力電圧を降圧するように変換するとともに、出力電圧と基準電圧とを比較増幅して前記パルス幅変調回路と前記スイッチング素子ドライブ回路を介して前記スイッチング素子の開閉を制御するDC-DCコンバータにおいて、

前記出力電圧、あるいは入力電圧のリップル電圧を検出し、該リップル電圧の大きさに比例して、前記スイッチング素子のスイッチング周波数を変化させる周波数可変回路を備えたことを特徴とするDC-DCコンバータ。

【請求項2】 前記周波数可変回路を外部信号により制御することを特徴とする請求項1に記載のDC-DCコンバータ。

【請求項3】 前記出力電圧、あるいは入力電圧のリップル電圧にて、前記周波数可変回路を構成する抵抗の抵抗値を制御することを特徴とする請求項1あるいは請求項2に記載のDC-DCコンバータ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DC-DCコンバータに関し、特に、スイッチング素子と、ブートストラップ回路と、制御回路と、スイッチング素子ドライブ回路とを備えるDC-DCコンバータに関する。

【0002】

【従来の技術】図5に、従来のDC-DCコンバータの回路図を示す。DC-DCコンバータ1は他励降圧型であり、入力端子V1、V1'と出力端子V2、V2'との間に、入力コンデンサCi、スイッチング素子、例えばNチャネルMOS-FET（以下、N-MOSFET）Q1、ダイオードD1及び平滑回路2が挿入される。そして、N-MOSFETQ1のドレインDとソースSとの間には、N-MOSFETQ1がオフしたときに、入力電圧Viと、N-MOSFETQ1とダイオードD1の接続点Aの電圧との差をダイオードDBを介してコンデンサCBに充電する回路、いわゆるブートストラップ回路3が接続され、ブートストラップ回路3のダイオードDBとコンデンサCBとの接続点Bと、N-MOSFETQ1のゲートとの間には、スイッチング素子ドライブ回路4が接続される。したがって、スイッチング素子ドライブ回路4は、N-MOSFETQ1をオンさせるゲート電圧を、ブートストラップ回路3を構成するダイオードDBとコンデンサCBとの接続点Bから得ることとなる。

【0003】また、N-MOSFETQ1の出力側には、ダイオードD1、平滑回路2及び出力電圧検出用分圧抵抗5が接続される。このうち、平滑回路2はコイルL1と出力コンデンサCoからなり、出力電圧検出用分

圧抵抗5は抵抗R1と抵抗R2の直列回路からなる。さらに、出力電圧検出用分圧抵抗5の抵抗R1と抵抗R2の接続点と、スイッチング素子ドライブ回路4との間には、誤差増幅回路6及びパルス幅変調回路7が接続される。

【0004】以上のように構成されたDC-DCコンバータ1では、出力電圧Voが出力電圧検出用分圧抵抗5の抵抗R1と抵抗R2で分圧され、出力電圧Voに比例する電圧が、誤差増幅回路6によって、基準電圧と比較され、出力電圧Voに比例する電圧が基準電圧より低くなるときは、パルス幅変調回路7及びスイッチング素子ドライブ回路4を介してN-MOSFETQ1のスイッチング時間当たりのオン時間割であるオンデューティDを大きくして、出力側に伝達するエネルギーを増やし、出力電圧Voを上昇させる。一方、出力電圧Voに比例する電圧が基準電圧より高くなるときは、パルス幅変調回路7及びスイッチング素子ドライブ回路4を介してN-MOSFETQ1のオンデューティDを小さくして、出力側に伝達するエネルギーを減らし、出力電圧Voを低下させる。以上の動作を繰り返して、出力電圧Voを安定化する。

【0005】

【発明が解決しようとする課題】ところが、上記のような従来のDC-DCコンバータでは、入力電圧が下がり、出力電流が小さくなり、無負荷状態に近づく、ブートストラップ回路による充電電圧が低下しスイッチング素子への駆動電圧が低下するため、スイッチング素子が動作しなくなるという問題があった。

【0006】本発明は、このような問題点を解決するためになされたものであり、無負荷時から軽負荷時において、スイッチング素子を完全に駆動できるDC-DCコンバータを提供することを目的とする。

【0007】

【課題を解決するための手段】上述する問題点を解決するため本発明は、スイッチング素子と、ダイオード及びコンデンサからなるブートストラップ回路と、スイッチング素子ドライブ回路と、パルス幅変調回路と、誤差増幅器回路とを備え、入力電圧に比べ出力電圧を降圧するように変換するとともに、出力電圧と基準電圧とを比較増幅して前記パルス幅変調回路と前記スイッチング素子ドライブ回路を介して前記スイッチング素子の開閉を制御するDC-DCコンバータにおいて、前記出力電圧、あるいは入力電圧のリップル電圧を検出し、該リップル電圧の大きさに比例して、前記スイッチング素子のスイッチング周波数を変化させる周波数可変回路を備えたことを特徴とする。

【0008】また、前記周波数可変回路を外部信号により制御することを特徴とする。

【0009】また、前記出力電圧、あるいは入力電圧のリップル電圧にて、前記周波数可変回路を構成する抵抗

の抵抗値を制御することとを特徴とする。

【0010】本発明のDC-DCコンバータによれば、出力電圧、あるいは入力電圧のリップル電圧の大きさに比例してパルス幅変調回路を制御する発振周波数を変化させる周波数可変回路を備えているため、リップル電圧の大きさに応じて、スイッチング素子のスイッチング周波数を変化させることができる。

【0011】

【発明の実施の形態】以下、図面を参照して本発明の実施例を説明する。なお、各実施例中において、従来例と同一もしくは同等の部分には同一番号を付し、その詳細な説明は省略する。

【0012】図1に、本発明に係るDC-DCコンバータの第1の実施例の回路図を示す。DC-DCコンバータ10は、入力端子V1、V1'と出力端子V2、V2'との間に、入力コンデンサCi、スイッチング素子、例えばN-MOSFETQ1、ダイオードD1、平滑回路2及び出力電圧検出用分圧抵抗5が挿入される。

【0013】また、N-MOSFETQ1のドレインDとソースSとの間には、ブートストラップ回路3が接続され、ブートストラップ回路3を構成するダイオードDBとコンデンサCBとの接続点BとN-MOSFETQ1のゲートGとの間には、スイッチング素子ドライブ回路4が接続される。

【0014】そして、平滑回路2はコイルL1と出力コンデンサCoからなり、出力電圧検出用分圧抵抗5は抵抗R1と抵抗R2の直列回路からなる。また、出力電圧検出用分圧抵抗5の抵抗R1とR2の接続点と、スイッチング素子ドライブ回路4との間には、誤差増幅回路6及びパルス幅変調回路7が接続される。さらに、出力端子V2とパルス幅変調回路7との間には、周波数可変回路11が接続され、この周波数可変回路11は、パルス幅変調回路7を制御するための発振周波数を決定する発振回路12と、出力端子V2に発生する出力リップル電圧V_{orip}を検出するためのリップル電圧検出回路13とで構成される。

【0015】以上のように構成されたDC-DCコンバータ10では、リップル電圧検出回路13で出力リップル電圧V_{orip}を検出し、その出力リップル電圧V_{orip}の大きさに応じて、発振回路12の発振周波数を決定する。そして、その発振周波数に応じて、パルス幅変調回路7により、スイッチング素子ドライブ回路4に送られるパルス幅が決定され、そのパルス幅に応じて、スイッチング素子ドライブ回路4により、N-MOSFETQ1のスイッチング周波数f_{sw}が決定される。

【0016】図2に、本発明に係るDC-DCコンバータの第2の実施例の回路図を示す。DC-DCコンバータ20は、第1の実施例のDC-DCコンバータ10(図1)とはほぼ同様の構成をしているが、入力端子V1に発生する電圧、すなわち入力リップル電圧V_{irip}

を検出する点で異なる。

【0017】以上のように構成されたDC-DCコンバータ20では、リップル電圧検出回路13で入力リップル電圧V_{irip}を検出し、その入力リップル電圧V_{irip}の大きさに応じて、発振回路12の発振周波数を決定する。そして、その発振周波数に応じて、パルス幅変調回路7により、スイッチング素子ドライブ回路4に送られるパルス幅が決定され、そのパルス幅に応じて、スイッチング素子ドライブ回路4により、N-MOSFETQ1のスイッチング周波数f_{sw}が決定される。

【0018】上記のような第1及び第2の実施例のDC-DCコンバータでは、出力リップル電圧、あるいは入力リップル電圧の大きさに比例してパルス幅変調回路を制御する発振周波数を変化させる周波数可変回路を備えているため、リップル電圧の大きさに応じて、N-MOSFETのスイッチング周波数を変化させることができる。したがって、入力電圧が下がり、出力電流が小さくなり、無負荷状態に近づいても、N-MOSFETのスイッチング周波数を下げ、N-MOSFETを完全に駆動できるため、入力電圧の高低、出力電流の大小に関係なく安定した出力電圧を得ることができる。

【0019】また、無負荷時から軽負荷時において、N-MOSFETのスイッチング周波数を下げることができ、スイッチング動作による損失を減少させ、その結果、DC-DCコンバータの効率を高くすることができる。

【0020】図3に、本発明に係るDC-DCコンバータの第3の実施例の回路図を示す。DC-DCコンバータ30は、第1の実施例のDC-DCコンバータ10(図1)と比較して、周波数可変回路31の構成が異なる。

【0021】周波数可変回路31は、発振回路12、リップル電圧検出回路13及びオン・オフ回路32で構成され、オン・オフ回路32に入力される外部信号Sにより、周波数可変回路31のオン、オフを制御するものである。

【0022】上記のような第3の実施例のDC-DCコンバータでは、外部信号により、周波数可変回路のオン、オフを制御するため、ノイズなどを嫌う無線装置などに使用するとき、あるいはDC-DCコンバータの発生ノイズが大きくなる高出力状態で使用するときには、周波数可変回路をオフすることにより、スイッチング素子のスイッチング周波数を一定にすることができる。したがって、発生するノイズの周波数帯域を一定に保つことができる。

【0023】図4に、本発明に係るDC-DCコンバータの第4の実施例の回路図を示す。DC-DCコンバータ40は、第1の実施例のDC-DCコンバータ10(図1)と比較して、周波数可変回路41の構成が異なる。

【0024】周波数可変回路41は、抵抗R3、R4、コンデンサC1、スイッチング素子、例えばバイポーラトランジスタQ2、オシレータOSC、平滑回路42、交流増幅回路43及びリップル電圧検出回路13で構成される。

【0025】そして、バイポーラトランジスタQ2のコレクタはオシレータOSCを介してパルス幅変調回路7に接続され、抵抗R3を介して接地される。また、バイポーラトランジスタQ2のエミッタは抵抗R4を介して接地され、ベースと出力端子V1との間には、平滑回路42、交流増幅回路43及びリップル電圧検出回路13が接続される。さらに、オシレータOSCとグランドとの間には、コンデンサC1が接続される。

【0026】以上の構成で、出力リップル電圧Voripを周波数可変回路41のリップル電圧検出回路13で検出し、その検出された電圧を交流増幅回路43で増幅し、その増幅された電圧を平滑回路42で平滑し、その平滑された電圧でバイポーラトランジスタQ2のコレクタ・エミッタ間に流れる電流を制御する。

【0027】これにより、無負荷で動作しているときは、出力リップル電圧Voripが小さいため、バイポーラトランジスタQ2はほとんどオフ状態となり、抵抗R3とコンデンサC1で決定されるスイッチング周波数でN-MOSFETQ1のスイッチング動作を行うこととなる。

【0028】そして、出力リップル電圧Voripが徐々に大きくなり、それにともなって、バイポーラトランジスタQ2のベース電圧が増加すると、抵抗R4に流れる電流も増加するため、抵抗R4の見かけ上の抵抗値が減少し、その結果、抵抗R3と抵抗R4との合成抵抗と、コンデンサC1とで決定されるN-MOSFETQ1のスイッチング周波数は徐々に増加していく。

【0029】上記のような第4の実施例のDC-DCコンバータでは、出力リップル電圧Voripにて、抵抗R4に流れる電流を変化させることにより、抵抗R4の見かけ上の抵抗値を変化させることができるため、N-MOSFETQ1のスイッチング周波数を容易に変化させることができる。

【0030】

【発明の効果】請求項1のDC-DCコンバータによれば、出力電圧、あるいは入力電圧のリップル電圧の大きさに比例してパルス幅変調回路を制御する発振周波数を変化させる周波数可変回路を備えているため、リップル電圧の大きさに応じて、スイッチング素子のスイッチング周波数を変化させることができる。したがって、入力電圧が下がり、出力電流が小さくなり、無負荷状態に近

づいても、スイッチング素子のスイッチング周波数を下げ、スイッチング素子を完全に駆動できるため、入力電圧の高低、出力電流の大小に関係なく安定した出力電圧を得ることができる。

【0031】また、無負荷時から軽負荷時において、スイッチング素子のスイッチング周波数を下げることができるため、スイッチング動作による損失を減少させ、その結果、DC-DCコンバータの効率を高くすることができる。

10 【0032】請求項2のDC-DCコンバータによれば、外部信号により、周波数可変回路のオン、オフを制御するため、ノイズなどを嫌う無線装置などに使用するとき、あるいはDC-DCコンバータの発生ノイズが大きくなる高出力状態で使用するときには、周波数可変回路をオフすることにより、スイッチング素子のスイッチング周波数を一定にすることができる。したがって、発生のノイズの周波数帯域を一定に保つことができる。

20 【0033】請求項3のDC-DCコンバータによれば、出力電圧、あるいは入力電圧のリップル電圧にて、周波数可変回路を構成する抵抗に流れる電流を制御することにより、抵抗の見かけ上の抵抗値を制御することができるため、スイッチング素子のスイッチング周波数を容易に制御することができる。

【図面の簡単な説明】

【図1】本発明のDC-DCコンバータに係る第1の実施例の回路図である。

【図2】本発明のDC-DCコンバータに係る第2の実施例の回路図である。

30 【図3】本発明のDC-DCコンバータに係る第3の実施例の回路図である。

【図4】本発明のDC-DCコンバータに係る第4の実施例の回路図である。

【図5】従来のDC-DCコンバータの回路図である。

【符号の説明】

3 ブートストラップ回路

4 スwitchング素子ドライブ回路

6 誤差増幅回路

7 パルス幅変調回路

10、20、30、40 DC-DCコンバータ

11、31、41 周波数可変回路

CB コンデンサ

DB ダイオード

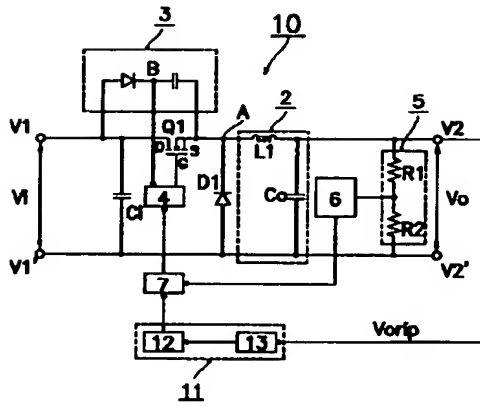
Q1 スwitchング素子

R4 抵抗

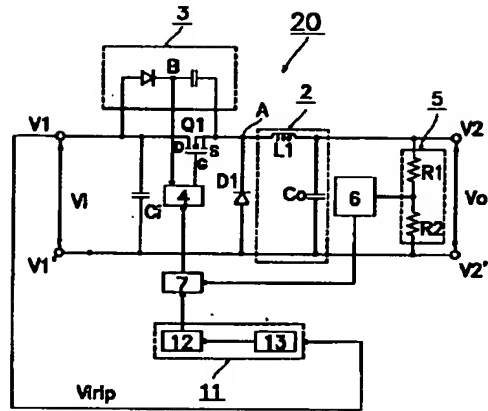
S 外部信号

Vorip、Virip リップル電圧

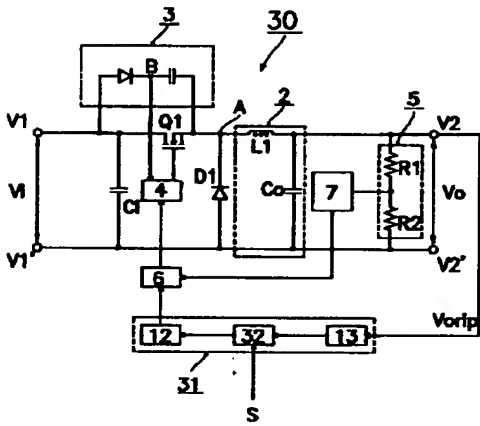
【図1】



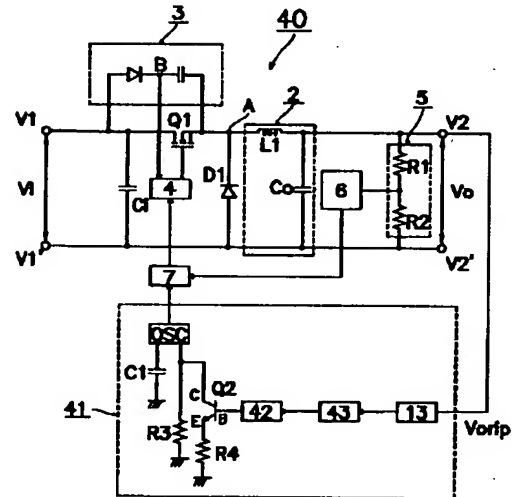
【図2】



【図3】



【図4】



【図5】

